

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR LIGHT EMITTING DIODE

Patent Number: JP57155793
Publication date: 1982-09-25
Inventor(s): YUASA TSUNAO
Applicant(s): NIPPON DENKI KK
Requested Patent: ☐ JP57155793
Application Number: JP19810041497 19810320
Priority Number(s):
IPC Classification: H01S3/18
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent degradation of semiconductor light emitting diodes during operation and to reduce thermal resistance by a construction wherein the top layer of a multilayer light emitting diodes is composed of a current-injection region which is of a substance where lattice defects hardly can take place and non-current-injection region which is of higher thermal conductivity.

CONSTITUTION: After an n type InP layer 11, an InGaAsP active layer 12, a p type InP layer 13 and a p type InGaAsP ($\lambda = 1.1 \mu\text{m}$) layer 14 are formed successively on an n type InP substrate 10, a layer 14 is formed by etching in striped pattern using a SiO₂ mask. Following this, an n type InP layer 18 is grown, and an Au-Ge electrode 20 is formed on the substrate side and an Au-Zn electrode 19 on the surface side. Then, the side of the electrode 19 is brought into contact with a heat sink 23. This process can improve heat dissipation property of the entire element and the service life can be elongated because dislocation due to the Au-Zn electrode cannot be extended to the active layer on account of the current-injection region being of InGaAsP.

Data supplied from the esp@cenet database - I2

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭57-155793

⑰ Int. Cl.
H 01 S 3/18

識別記号

庁内整理 号
7377-5F

⑱ 公開 昭和57年(1982)9月25日

発明の数 1
審査請求 未請求

(全 4 頁)

① 半導体発光素子

東京都港区芝五丁目33番1号日

本電気株式会社内

② 特 願 昭56-41497

③ 出 願 人 日本電気株式会社

④ 出 願 昭56(1981)3月20日

東京都港区芝5丁目33番1号

⑤ 発 明 者 湯浅国南雄

⑥ 代 理 人 弁理士 内原晋

明 開 書

発明の名称 半導体発光素子

特許請求の範囲

1. 活性層を含む、多層構造を有し、この多層構造の最上層に位置する最上層の一部に電流注入領域を設けてなる半導体発光素子において、該最上層の電流注入領域はその周囲の非電流注入領域に対して電子穴の発生にくい材料で構成し、最上層の非電流注入領域は励起効率の大きい材料で構成することを特徴とする半導体発光素子。

発明の詳細な説明

本発明は半導体発光素子、特に励起効率の良い構造の半導体発光素子に関するものである。

半導体発光素子、例えば半導体レーザ(以下、レーザと略記する)は GaAs を活性層とし、該活性層を (AlGa)As ヘテロ接合ではさんだダブルヘ

(1)

テロ接合構造で、 π 、 π 、 π と光の両方を効率よく閉じ込めることが出来たため、電流密度の増大に成功したが、電流、及びそれ以上の電流で安定に運転させるためには、活性層で発生した熱を出来るだけ、すみやかに放熱体に逃がす必要がある。このため、レーザ特性を損わない範囲内で、活性層から放熱体の層は出来るだけ励起効率の大きい材料にし、かつ厚くする工夫がなされた。具体的には GaAs 活性層をはさむヘテロ接合層の (AlGa)As は GaAs に比べると励起効率が小さいので、特に界面に近い側の (AlGa)As は出来るだけ薄く、1~2 μ m 程度の厚みとし、その上に 1 μ m 程度の厚さの最上層をつけて、オーミック電極用としている。しかしながら放熱体である GaAs 活性層にすぐ隣接して励起効率の小さい (AlGa)As 層があるためどうしても素子の熱抵抗は高くなる。これに對して、第1面に示した長距離光ファイバ一伝送用に開発された InP-1 を基板として (InGa) (AsP) を活性層とし、InP 2, 4 をクラッド層とする波長 1.3 μ m 程度の最も標準的であるブレーナスト

(2)

高電流をさせるためには熱抵抗を出来るだけ小さくする 意が必要ということになる。

一方、レーザを真用にする場合、レーザが一定の出力で長時間安定に動作する必要がある。即ち、高い信頼性が要求される。かかる信頼性は素子性は勿論のことレーザの製作方法とも密接にかかわる。(InGa)(AsP)レーザが動作中に劣化する主要因の一つに、 β 層のオーミック電極がある。即ち、 β 層 InP、あるいは β 層(InGa)(AsP)に対するオーミック電極の形成は、As-Zn を真空蒸着して、300~400℃程度の温度で熱処理して合金化することによって行なわれるが、かかる As-Zn 合金層は通電時に転位が発生する原因となり得る。転位が活性層まで伸びると、発光の内部損失が小さくなるため、しきい電圧が上昇し、電極の電圧が低下する。また、 β 層電極形成の際には炭素層に Zn, Cl 等の不純物混入をして β 層ををつくる必要があるが、かかる不純物混入層も動作中の転位源となり得る。上述したような転位の進む速度は InP と(InGa)(AsP)とでは約2桁程度(InGa)

(3)

タイプBの(InGa)(AsP)/InP ダブルヘテロ構造レーザは(InGa)(AsP)活性層3に隣接する InP クラッド層の熱伝導率が GaAs より大きいために、(AlGa)As レーザに比べると、素子の熱抵抗が小さくなる。しかしながら(InGa)(AsP)/InP レーザは、発光のしきい電圧密度の温度特性が(AlGa)As レーザに比べると悪いという欠点がある。即ち、周囲温度が室温より 10℃ だけ上昇したときのパルス動作の発光しきい電圧密度 J_{thp} は室温でのしきい電圧密度 J_0 を基にすると $J_{thp} = J_0 \exp(10/T_0)$ で表わすことができるが、この T_0 の値は(AlGa)As レーザでは 100~120 K であるのに対し、(InGa)(AsP)レーザでは 60~70 K になる。つまり、同じ周囲温度の上昇分に対して(InGa)(AsP)レーザの J_{thp} の値の増加の割合が大きくなるわけである。従って(InGa)(AsP)レーザは(AlGa)As レーザに比べて素子自体の熱抵抗は小さいが、 T_0 が小さいために、高温での連続動作は(AlGa)As レーザに比べて困難になる。このことから、高温で(InGa)(AsP)レーザを

(3)

(AsP)の方が悪い。従ってレーザの動作時の劣化を防ぎ、信頼性を上げるためには、 α 層電極をつくる最上層を InP ではなくて(InGa)(AsP)層にすることが必要である。しかし、合金の悪いことに(InGa)(AsP)の熱伝導率は InP よりもかなり小さい上に、As-Zn 合金化層の厚さが 0.5 μm 程度になることを考慮すると、(InGa)(AsP)層は 0.5~1 μm なくてはならない。従って劣化を防ぐために、(InGa)(AsP)層を最上層とすることは、熱抵抗を上げることになり、高い周囲温度での連続動作が困難になるという相矛盾した結果になる。本発明はかかる上述した如き欠点のない、熱抵抗も低く、かつ、信頼性の高い半導体発光素子を提供することにある。

本発明の素子は活性層を含む多層構造から成り、その最上層は電流注入領域となる部分をその周囲の非電流注入領域よりも電子欠陥の発生しにくい材料で構成し、周囲の非電流注入領域となる部分を熱伝導率の大きい材料で構成することによって、活性層で発生した熱を外層へ早速に逃がし、動作

(4)

時の素子の劣化を防ぎ、かつ熱抵抗を下げるというものである。

以下、本発明を(InGa)(AsP)/InP レーザについての実施例に基いて説明する。

本発明になる(InGa)(AsP)/InP レーザを第2図に示したように、成長工程の順に従って説明する。第10 として、Sn をドーブした、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の β 層 InP 10 を使用し、この第10 上に、連続エピタキシャル成長法で第2図(4)の如き、ダブルヘテロ構造層を形成する。第1層 11 として Sn ドープのキャリア濃度 $5 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の β 層 InP を 3~5 μm の厚みに、活性層となる第2層 12 として、アンダーブ $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}_{0.45}\text{P}_{0.55}$ (組成 1.3 μm) を 0.1~0.2 μm の厚みに第3層 13 として Zn のドーブされた β 層 InP を 0.5~3 μm の厚みに、順次積層する。その上に最上層 14 の β 層 $\text{In}_{0.85}\text{Ga}_{0.15}\text{As}_{0.45}\text{P}_{0.55}$ (組成 1.1 μm) 層 14 を 0.5~1.0 μm の厚みにつける。成長終了後、最上層 14 上に、第2図(4)のように、酸化層 15、例えば SiO_2 等を CVD 法、またはスパッタ

(4)

面により付着させ、フ・トエ・テング法により第2図(4)の16のようなストライプ状の酸化膜マスクを直接形成する。次に10~20℃の温度で $H_2SO_4 + H_2O_2 + H_2O$ 液を用いて最上層14をエッチングする。 $H_2SO_4 + H_2O_2 + H_2O$ に対するエッチング速度は(InGa)(AsP)の方がInPよりも10倍程度大きいので、第2図(4)の如く、ほぼ(InGa)(AsP)層14のみをメサ状にエッチングすることが可能である。次にかくして形成された(InGa)(AsP)のメサ層17を λ 波InPで第2図(4)のように埋め込む。このメサ層17上には酸化膜がついているので、特に炭酸エピタキシナル成長法を用いた場合、膜がつかないようにすることは可能である。また、第2図(7)のように、 λ 波InP層18がメサ層17上についた場合でも、InPのみを選択的にエッチングする或、例えば $HBr + H_2O$ を用いて、第2図(4)のように最上層の(InGa)(AsP)層14を除去することは可能である。次にp型 $In_{0.45}Ga_{0.55}As_{0.25}P_{0.25}$ 層14表面にZn、あるいはClを選択蒸着してp層にして、p側表面にAu-Znを真空蒸着して、

(7)

第4図のp型 $In_{0.45}Ga_{0.55}As_{0.25}P_{0.25}$ 層14のみを脱れるために、蒸着動作中にAu-Znオーミック電極に導通する板位が活性層まで伸びることはない。従って発光素子の動作寿命は長くなる。以上(InGa)(AsP)/InP 半導体レーザーの場合についての実施例について詳述したが、本発明は(InGa)(AsP)/InP 発光ダイオードに対しても適用できる。ただし、発光ダイオードの場合は電極を最上層、第3図の14が同等になる。また、上記実施例においては最上層14を(InGa)(AsP)としたがこれを(InGa)Asとしても同様の効果がある。また、本発明は(InGa)(AsP)/InP ヘテロ接合素子のみならず、他の材料、例えば(AlGa)Asヘテロ接合素子にも適用できることは言うまでもない。おそ場合、シングルヘテロ接合の素子でも上記説明と同様である。

図面の簡単な説明

第1図は従来の(InGa)(AsP)/InP ダブルヘテ

(8)

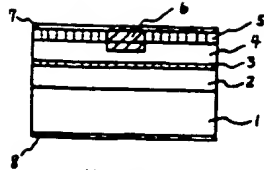
特開昭57-155793(8)
400~450℃で、水素雰囲気中で2~5分熱処理してP側オーミック電極19とする。蒸着膜は80~100nm程度厚さにしてAu-Gaを真空蒸着して、320~420℃で、水素雰囲気中で、3分間熱処理、熱処理して λ 波オーミック電極20とする。へき面により対向する共振器面を出した後、第3図のように素子化して(InGa)(AsP)/InPレーザができる。P側のAu-Zn上にAuをつけた後、膜層により(InGa)(AsP)/InPレーザをダイヤモンド、シリコン基板、等の放熱体23に取りつけた素子を第4図に示す。第4図には活性層12で発生した熱が放熱体23へ送る様子を示してある。活性層12の端部22の部分で発生した熱は第4図の矢印のように両方に伝わった後最上層のp型 $In_{0.45}Ga_{0.55}As_{0.25}P_{0.25}$ 層14のみならず、 λ 波InP層18をも通って放熱体23に送るが、メサ層17の幅が4~10mmであるのに対し、発光素子の幅は200mmあるので、熱伝導率の良い層の面積が大きくなる。従って素子全体としての熱放散が良くなり、熱抵抗が小さくなる。しかも注入電

(4)

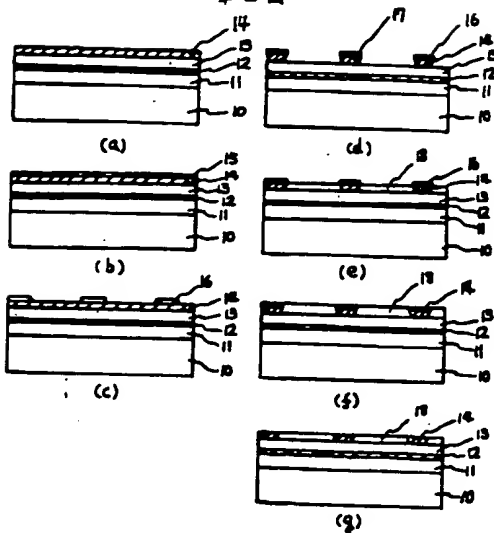
ロ構造レーザーの概略断面図、第2図(a)~(d)は本発明の一実施例による低熱抵抗(InGa)(AsP)/InP ダブルヘテロ構造レーザーの製造工程を示す図、第3図は本発明の一実施例による(InGa)(AsP)/InP ダブルヘテロ構造レーザーの概略図、第4図は本発明の一実施例による(InGa)(AsP)/InP ダブルヘテロ構造レーザーを放熱体につけた場合の活性層で発生した熱の放散の様子を示す概略図である。
1, 10... λ 波InP基板、2, 11... λ 波InP層、3, 12... (InGa)(AsP)活性層、4, 13... p型InP層、5... λ 波InPあるいは λ 波(InGa)(AsP)層、6... P⁺拡散領域、7, 19... p型側電極、8, 20... λ 波側電極、14... p型 $In_{0.45}Ga_{0.55}As_{0.25}P_{0.25}$ 層、15... SiO_2 膜、16... SiO_2 マスク、17... $In_{0.45}Ga_{0.55}As_{0.25}P_{0.25}$ メサ、18... λ 波InP、21... (InGa)(AsP)/InP レーザ素子、22... 活性層の端部部分、23... 放熱体

代理人 株式会社 内 藤 吉 井 理 士 内 藤 吉

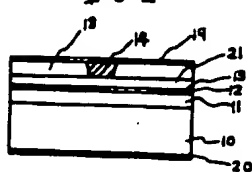
第 1 図



第 2 図



第 3 図



第 4 図

